

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-035725

(43)Date of publication of application : 10.02.1994

AF

(51)Int.Cl.

G06F 9/46

G06F 13/10

(21)Application number : 05-130784

(71)Applicant : INTERNATL BUSINESS MACH  
CORP <IBM>

(22)Date of filing : 01.06.1993

(72)Inventor : BRICE JR FRANK W  
ELLIOTT JOSEPH C  
FREDERICKS KENNETH J  
GALBRAITH ROBERT E  
HALMA MARTEN J  
HOUGH ROGER E  
JOHN SUZANNE M  
MALINOWSKI PAUL A  
MERITT ALLAN S  
OAKES KENNETH J  
RATHJEN JR JOHN C  
SACHS MARTIN W  
STUCKI DAVID E  
WYMAN LESLIE W

(30)Priority

Priority number : 92 898867 Priority date : 15.06.1992 Priority country : US

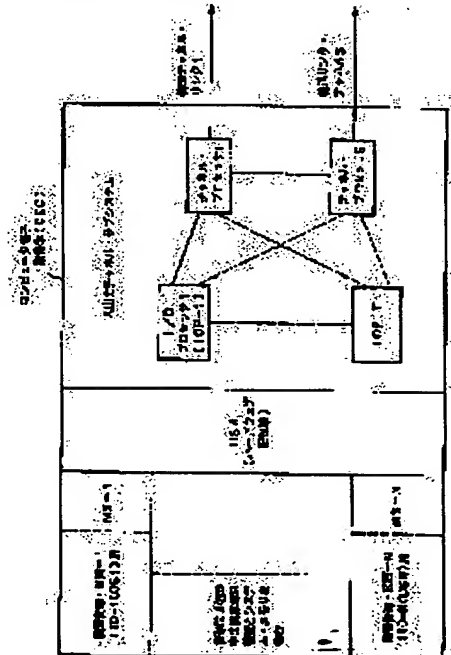
BEST AVAILABLE COPY

## (54) METHOD AND SYSTEM FOR SHARING INPUT/OUTPUT RESOURCES

## (57)Abstract:

PURPOSE: To permit different operating systems to share the same input/output resources (input/output channel, input/output device and input/output controller) by identifying a control block through the use of different image identifiers.

CONSTITUTION: The plural image identifiers IID are stored in plural resource identification control blocks in a computer system CEC and they are related to the sections of plural programs. The control blocks contained in a control block set for input/output resource are set and structure by relating them to the different image identifiers IID, and they are stored in an input/output control storage area. The identifier IID related to the program section, which requests the use of the input/output resource, is obtained. The control block is accessed with the control block set and the state of the input/output resource on the user program is stored in the accessed control blocks. Then, the input/output resources are shared by the execution



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-35725

(43)公開日 平成6年(1994)2月10日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/46	3 4 0 A	8120-5B		
	F	8120-5B		
13/10	3 3 0 Z	8133-5B		

審査請求 有 請求項の数15(全 40 頁)

(21)出願番号 特願平5-130784

(22)出願日 平成5年(1993)6月1日

(31)優先権主張番号 8 9 8 8 6 7

(32)優先日 1992年6月15日

(33)優先権主張国 米国 (U S)

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州アーモンク (番地なし)

(72)発明者 フランク・ウィリアム・ブライズ・ジュニア

アメリカ合衆国12443、ニューヨーク州ハーレー、ウッドランド・ドライブ 152

(74)代理人 弁理士 合田 深 (外1名)

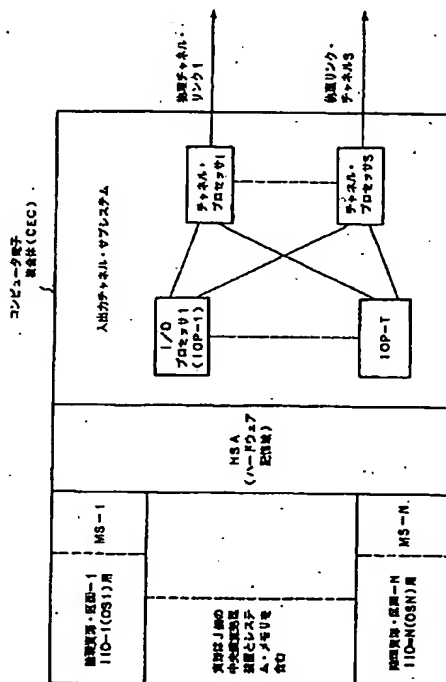
最終頁に続く

(54)【発明の名称】 入出力資源を共用するための方法及びシステム

(57)【要約】

【目的】 入出力資源と、コンピュータ電子複合体 (CEC) の異なる資源区画で走行中の複数のオペレーティング・システム (OS) との接続性を増大させて、当該複数のオペレーティング・システム間で、入出力資源を共用させる。

【構成】 本発明は、異なるOSに資源を割り当てるためのイメージ識別子 (IID) を提供する。各共用入出力資源は複数の制御ブロックからなる共用セットを有し、各制御ブロックにはそれぞれ所定のOSのIIDが割り当てられる。共用セット中の各制御ブロックは、同一の入出力資源の異なるイメージを提供する。従って異なるOSの入出力動作によって、異なる制御ブロック・イメージが異なる状態に設定されるため、複数のOSが同一の入出力資源を独立に共用することができる。



3

出力資源を必要とする異なるオペレーティング・システムのそれぞれがアクセスするステップと、異なるオペレーティング・システムの、現在実行中のプログラムの状態を、異なる制御ブロック中で独立に設定して、該オペレーティング・システムが共用する入出力資源を異なるプログラムが独立に制御できるようにするステップとを含む、請求項9に記載の入出力資源の共用方法。

【請求項11】上記コンピュータ・システムの入出力制御記憶域内で、（それぞれがチャンネル制御ブロック・セットに対する入出力資源である）複数の物理入出力チャンネルについてのそれぞれの入出力制御ブロック（CHCB）の共用セットを構造化し、該セット中の各チャンネル制御ブロックを異なる上記イメージ識別子と関連付けるステップを含み、各オペレーティング・システムに物理入出力チャンネルの異なるイメージを提供することにより、該物理入出力チャンネルを共用するオペレーティング・システムが各入出力チャンネルを独立に制御できるようにする、請求項9に記載の入出力資源の共用方法。

【請求項12】上記コンピュータ・システムの入出力制御記憶域内で、（それぞれが制御ブロック・セットに対する入出力資源である）複数のサブチャンネル（それぞれが1つの入出力装置を表す）についてのそれぞれの入出力制御ブロック（CB）のセットを構造化し、サブチャンネル識別子を該制御ブロックのセットの識別子として使用し、該セット中の各制御ブロックを異なる上記イメージ識別子と関連付けるステップを含み、各オペレーティング・システムへ各サブチャンネルの異なるイメージを提供することにより、該各オペレーティング・システムが各入出力装置を独立に制御できるようにする、請求項9に記載の入出力資源の共用方法。

【請求項13】上記コンピュータ・システムの入出力制御記憶域内で、該システムに接続可能な入出力制御装置のそれぞれのイメージについての入出力制御ブロック（CB）のセットを構造化し、該セット中の各制御ブロックを異なる上記イメージ識別子と関連付けるステップを含み、各オペレーティング・システムに入出力制御装置の異なるイメージを提供することにより、各オペレーティング・システムが該入出力制御装置を独立に制御できるようにする、請求項9に記載の入出力資源の共用方法。

【請求項14】コンピュータ電子複合体（CEC）の入出力資源共用動作で使用される各OSのイメージ識別子（IID）を保持するための1つまたは複数の特殊制御ブロック（SD）をプロセッサ記憶域に格納するステップと、セット中の各制御ブロックが異なるイメージ識別子と関連付けられている、各サブチャンネル（共用入出力装置）についてのサブチャンネル制御ブロック（SSCB）の共用セット、同一の入出力チャンネル（共用チャンネル）につ

4

いてのチャンネル制御ブロック（CHCB）の共用セット、並びに各論理入出力制御装置についての制御装置論理経路制御ブロック（LCUCB）の共用セットを、入出力記憶域に格納するステップと、

上記OSと関連するイメージ識別子を獲得し、該イメージ識別子を用いて上記のそれぞれの共用セット中の制御ブロックを選択して、必要な入出力チャンネル、入出力制御装置および入出力装置を、上記コンピュータ電子複合体中で動作中の少なくとも1つの他のオペレーティング・システムと共用することにより、要求側オペレーティング・システムの入出力動作を制御するステップとを含む、複数のオペレーティング・システム間で入出力チャンネル、入出力制御装置、および入出力装置を効率的に共用する方法。

【請求項15】複数のオペレーティング・システム間で1つまたは複数の入出力資源を共用するためのシステムであって、

上記オペレーティング・システムのそれぞれについて割当てられた異なるイメージ識別子（IID）を格納するためのシステム記憶部と、

上記の各入出力資源について設けられた1つまたは複数の制御ブロックを含む制御ブロック・セットを記憶するための入出力記憶部と、

上記オペレーティング・システムの要求を処理して上記入出力資源を制御するためのプロセッサ部とを具備し、特定の入出力資源についての上記制御ブロックは、要求元の各オペレーティング・システムに割当てられた異なるイメージ識別子を用いて、上記の共用制御ブロック・セットから選択される、

入出力資源を共用するためのシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、物理入出力資源の実数を増やさずに、コンピュータ電子複合体（CEC）上で走行する複数のオペレーティング・システムの各々が利用できる入出力チャンネル、入出力装置、および入出力制御装置の有効数を大幅に増やす方法を提供する。本発明により、これらのオペレーティング・システムがハイパバイザからの介入なしで物理入出力資源を直接共用できるようになる。

【0002】

【従来の技術および発明が解決しようとする課題】本発明は、以下の米国特許出願に関連する。

・ 米国特許出願 8 9 8 6 2 3 号

・ 米国特許出願 8 9 8 9 7 7 号

・ 米国特許出願 8 9 8 8 7 5 号

・ 米国特許出願第4 4 4 1 9 0 号、"Method And Apparatus For Dynamically Managing I/O Connectivity"、1 9 8 9 年1 1 月2 8 日出願

・ 米国特許出願第7 5 4 8 1 3 号、"Establishing Sync

50

7

チャネルまたは並列ワイヤ・チャネルとすることができ  
る。これらは、前述のハイパバイザおよびOS制御で使  
用されるチャネルである。広く使用されている種類の光  
ファイバ・チャネルでは、IBM ESCONアーキテ  
クチャを使用している。コンピュータ電子複合体は、1  
つまたは複数の中央演算処理装置(CPU)、システム  
・メモリ、および入出力サブシステムから構成されてい  
る。コンピュータ電子複合体のこれらの部品はすべて、  
コンピュータ電子複合体内で実行されるプログラムによ  
って使用されるCEC資源に含まれる。

【0009】入出力制御装置は、入出力装置とチャネル  
の間での情報交換用のコンジットである。同様に、チャ  
ネルは、主記憶装置と入出力装置の間での情報交換用  
の、オペレーティング・システムのコンジットである。

【0010】1990年10月に発行された、"ES Arch  
itecture 390 ESCON I/O Interface"と題するIBM刊  
行物は、当時の既存のESCONチャネル/制御装置パ  
ス接続を記載している。

【0011】コンピュータ電子複合体内の各種資源は、  
各資源区画で走行するオペレーティング・システムにそ  
れぞれCEC資源を割り当てる、システム・メモリ内の  
複数のディレクトリまたは状態記述子(SD)を使っ  
て、オペレーティング・システム間で分割されている。  
CECハイパバイザにそれ自体の論理資源区画を割り振  
ることにより、コンピュータ電子複合体の中央演算処理  
装置(CPU)上でのオペレーティング・システムのデ  
イスパッチ、およびオペレーティング・システム間の衝  
突の解決を含めて、コンピュータ電子複合体の全体的動  
作を制御することができる。各オペレーティング・シ  
ステムは、(例外が起こらないかぎり)通常はハイパバイ  
ザの関与なしに、当該の各オペレーティング・システム  
の下で走行するアプリケーション・プログラムのディス  
パッチを制御する。

【0012】初期のハイパバイザ・システムでは、ハイ  
パバイザが、すべてのチャネル動作の割当て、コンピュ  
ータ電子複合体内のすべての入出力装置用のあらゆるサ  
ブチャネルの起動、オペレーティング・システムの下で  
走行するすべてのプログラム用の装置からのあらゆる入  
出力割込みの処理を含めて、コンピュータ電子複合体内  
のすべてのオペレーティング・システムのあらゆる入出  
力動作を制御しなければならなかった。

【0013】"Logical Resource Partitioning of a Da  
ta Processing System"と題する米国特許第4 8 4 3 5  
4 1号は、コンピュータ電子複合体内の各オペレーティ  
ング・システムが、ハイパバイザの関与なしに専用入出  
力チャネルおよび装置を使ってそれ自体の入出力動作を  
処理できるようにする、「入出力パススルー」を持つシ  
ステムを記載し特許請求している。このパススルー機能  
によって、各オペレーティング・システムは、その下で  
走行するアプリケーション・プログラムの要求する入出

8

力動作を起動し、そのような入出力起動動作によって生  
じる入出力割込みを処理することが可能になった。ハイ  
パバイザは、例外条件が発生したときにオペレーティ  
ング・システムの入出力動作にインタセプトするだけでよ  
い。この発明は、IBM PR/SM LPARシステ  
ムおよびS/370 VM MPGシステムで使用され  
ている。

【0014】1991年8月29日に出願された"CPU E  
xpansive Gradation of I/O Interruption Subclass Re  
cognition"と題する米国特許出願第7 5 2 1 4 9号で  
は、コンピュータ電子複合体内の論理資源区画および中  
央演算処理装置の数を大幅に増やすことができる。この  
出願により、(コンピュータ電子複合体内で走行中のオ  
ペレーティング・システムを実行する)コンピュータ電  
子複合体の各中央演算処理装置は、システム内で利用可  
能なすべての入出力割込みサブクラスを処理できるよう  
になった。このため、各オペレーティング・システム  
が、システム内で利用できる入出力割込みサブクラスの  
1つの割込みの処理だけに制限されるという従来の拘束  
がなくなった。

【0015】サブチャネルは、IBM S/390アー  
キテクチャの下でオペレーティング・システムによって  
サポートされる各入出力装置ごとに指定される。SCH  
IB(サブチャネル情報制御ブロック)は、S/390  
サブチャネル記憶命令(STSCH)の実行時にシステ  
ム・メモリに格納されるものであり、サブチャネルで使  
用可能な1組のチャネルを含み、オペレーティング・シ  
ステムがサブチャネルについての自己の資源を認識する  
ための手段となるものである。各SCHIBは、最大8  
30 個のチャネル識別子用のフィールドを備えている。これ  
らの識別子は、チャネル経路識別子(CHPID)と呼  
ばれ、それぞれ、サブチャネルで使用するために選択可  
能なチャネルを指定する。指定されたチャネル経路識別  
子のうちの使用可能な1つが、要求時にビジー状態でな  
いサブチャネルの各データ伝送要求用に選択される。入  
出力装置が直接的に共用され、これらの装置へのアクセ  
スに使用される各チャネルが単一のオペレーティング・  
システムに割り当てられていた従来のシステムでは、サ  
ブチャネル情報制御ブロックで指定できたのは、当該オ  
ペレーティング・システムに割り当てられた時点で使用  
可能なチャネルだけだった。

【0016】従来のS/370コンピュータ・システム  
およびS/390コンピュータ・システムでは、各チャ  
ネルが、コンピュータ電子複合体の入出力サブシステム  
記憶域内の単一の「チャネル制御ブロック」(CHC  
B)で表された。各サブチャネルも、コンピュータ電子  
複合体の入出力サブシステム記憶域内の単一のサブチャ  
ネル制御ブロック(SCB)で表された。入出力サブシ  
ステム内部コード(マイクロコード)はサブチャネル制  
御ブロックを用いて、対応する入出力装置にアクセスす

10

20

30

40

50

## 11

複数の制御装置が存在しないときは、単一の論理制御装置が物理制御装置内に存在することになる。特定のチャネルと制御装置ポートの間の接続は、物理制御装置に存在する一部またはすべての論理制御装置について使用できた。物理制御装置内で論理制御装置を識別するため、各論理制御装置に一義的な識別子(論理制御装置アドレス)が割り当てられた。

【0024】チャネルから論理制御装置に送信される各フレーム・ヘッダにおいて、チャネルは、フレームの発信先リンク・アドレス・フィールドに物理制御装置リンク・アドレスを含めることによって発信先制御装置ポートを識別し、フレームの発信先論理アドレス・フィールドに論理制御装置アドレスを含めることによって発信先論理制御装置を識別した。チャネルはまた、フレームの発信元リンク・アドレス・フィールドにその物理チャネル・リンク・アドレスを含めることにより、論理制御装置が、フレームを送信したチャネルを識別できるようにした。論理制御装置からチャネルに送信される各フレーム・ヘッダにおいて、論理制御装置は、フレームの発信先リンク・アドレス・フィールドに物理チャネル・リンク・アドレスを含めることにより、発信先チャネルを識別した。論理制御装置はまた、フレームの発信元リンク・アドレス・フィールドに物理制御装置リンク・アドレスを含めるとともに、フレームの発信元論理アドレス・フィールドに論理制御装置アドレスを含めることにより、チャネルが、フレームを送信した制御装置ポートおよび論理制御装置を識別できるようにした。

【0025】各フレーム・ヘッダの適切な発信元フィールドおよび発信先フィールドに適切なリンク・アドレスおよび論理アドレスを格納することにより、通信しているチャネルと論理制御装置は相互に一義的に識別される。この物理チャネル・リンク・アドレスと物理制御装置リンク・アドレスと論理制御装置アドレスの組合せが、物理チャネルまたは論理装置ポートに対して単一の論理チャネル経路を一義的に識別するのに使用された。

【0026】論理制御装置と関連する入出力装置との通信を行う前に、論理経路(LP)を確立しておく必要がある。論理経路の確立は、チャネルと論理制御装置が、特定の論理チャネル経路を、ある入出力装置に関連するコマンド、データ、および状況の伝送などの目的で使うことを両者が許可することを合意するための手段である。論理経路を確立するための手順を、「論理経路確立手順」と呼ぶ。論理経路は、物理チャネル・リンク・アドレス、物理制御装置リンク・アドレス、および論理制御装置アドレスによって、物理チャネルまたは論理装置ポートに対して一義的に識別された。

【0027】

【課題を解決するための手段】本発明は、コンピュータ電子複合体(CEC)に接続された物理チャネル、装置、または制御装置の実数を増やす必要なしに、コンピ

## 12

ュータ電子複合体内の複数のオペレーティング・システム(OS)が直接共用可能な入出力チャネル、(サブチャネルとして表される)入出力装置、および入出力制御装置のイメージの数を大幅に増加させる。オペレーティング・システムは、ハイパバイザの介入なしに、これらすべての物理入出力資源を共用することができる。

【0028】本発明はまた、コンピュータ電子複合体に接続された物理チャネル、物理装置、または物理制御装置の実数を増やす必要なしに、多重オペレーティング・システム・コンピュータ電子複合体システム内の各オペレーティング・システムが使用可能な入出力チャネル、(サブチャネルを表す)装置、および制御装置のイメージの数を大幅に増やす。

【0029】本発明をサポートするコンピュータ電子複合体は、複数イメージ機能(MIF)をサポートするといえる。

【0030】本発明は、コンピュータ電子複合体に接続されたチャネルまたは装置の実数を増やす必要なしに、多重オペレーティング・システム・コンピュータ電子複合体システム内の各オペレーティング・システムの最大データ速度を大幅に上げることができる。オペレーティング・システムの入出力データ速度は、オペレーティング・システムに対するデータ転送の並列性によって決まる。各オペレーティング・システムが使用できる入出力装置の数を増やすと、オペレーティング・システムにデータを同時に伝送できる入出力装置の数を増やすことができ、それによってオペレーティング・システムの最大データ速度を上げることができる。

【0031】(オペレーティング・システムが使用できるチャネルおよび入出力装置の数を増やすことにより)各オペレーティング・システムに対するチャネルおよび入出力装置の並列性、柔軟性、および接続性を増大させると、これによってオペレーティング・システムのデータ伝送速度が上がらないときでも、オペレーティング・システム用のさまざまな種類のデータをより迅速に得ることができる。各オペレーティング・システムに接続可能なチャネルおよび装置の数を増やすことにより、オペレーティング・システムの複数のユーザの入出力要求をよりよく処理することができる。

【0032】本発明により、共用可能なチャネルおよび装置について複数のオペレーティング・システムがそれぞれ直接制御を行うと、ハイパバイザの介入が避けられるので、システム効率が向上する。したがって、従来、パススルーは、入出力装置と、これらの装置へのアクセスに使用される入出力チャネルの両方を共用するすべてのオペレーティング・システムに使用できるわけではなかったが、本発明はこの機能を提供する手段となる。

【0033】本発明によって提供される、入出力チャネルの実数の大幅の増加は、次の例を用いて容易に表すことができる。従来のコンピュータ電子複合体が7個のオ

15

割り当てることが可能である。しかし、好ましい実施例では、IID値と、コンピュータ電子複体内のオペレーティング・システムが1対1で対応する。

【0040】好ましい実施例では、イメージ識別子は、オペレーティング・システムには認識(view)されないが、たとえば、ハイパバイザ、中央演算処理装置、入出力サブシステム、および制御装置には認識される。

【0041】イメージ識別子と資源番号は、共用セット中の各制御ブロックにおけるフィールドで指定してもしなくてもよい。というのは、これらの値は、記憶媒体の二次元アレイ内の制御ブロックの位置で暗示的に示することができるからである。各制御ブロック内のそれぞれのフィールドにこれらの値を格納することによりその値を検証する助けとなる。制御ブロックにアクセスするとき、当該フィールド内のこれらの値をチェックすることが好ましい。

【0042】共用可能資源が複数のコンピュータ電子複体内のオペレーティング・システムによって選択可能な場合、各オペレーティング・システムのイメージ識別子は、それとともにCEC識別子を格納することにより、たとえば、一義的なCEC番号を、当該CECで使用するイメージ識別子と連結することにより、さらに修飾することができる(イメージ識別子が一義的でないならばならないのは、コンピュータ電子複体内だけである)。イメージ識別子は、本発明の好ましい実施例ではコンピュータ電子複体に対して一義的である必要はないが、ESCON入出力インタフェース・アーキテクチャによって論理チャネル経路アドレス指定が提供されるので、一義的CEC番号は必要とされない。

【0043】共用可能資源識別子は、IBM S/390アーキテクチャで使用される、チャネル識別用の「チャネル経路識別子」(CHPID)や入出力装置識別用の「サブチャネル番号」など、現在のアーキテクチャで使用される資源識別子でよい。

【0044】本発明で使用する制御ブロックの「共用セット」は、コンピュータ電子複体内で表されるすべてのオペレーティング・システムを包含する必要はない。共用セット中のオペレーティング・システムに有効な制御ブロックを提供しないと、そのオペレーティング・システムは、共用セットで表される資源にアクセスできなくなる。というのは、そのオペレーティング・システムはその資源の有効なイメージをもたないからである。たとえば、共用セット中の1つまたは複数の共用可能サブチャネル制御ブロックが欠けている(もしくは無効のマークが付いている)と、コンピュータ電子複体の制御ブロック内のオペレーティング・システムの一部が、その共用セットで表される入出力装置にアクセスできなくなることがある。さらに、同一の共用セット中の異なる共用可能サブチャネル制御ブロック内のすべてのチャネル・フィールドが、同一のチャネル・グループを指定す

16

る必要はない。たとえば、ある共用セット中の異なる共用可能サブチャネル制御ブロック内で、一部のチャネルを同一とし、一部のチャネルを異なるものとすることができる。しかし、本発明の好ましい実施例では、すべてのオペレーティング・システムが各共用可能資源の各共用セット中で表され、共用可能サブシステム制御ブロックの共用セット中のすべてのブロック内で同一のチャネル識別子が指定されている。しかし、イメージ機能を損なうことなく、一部のパラメータを共用セット中の制御ブロック間で異なる値にすることができる。

【0045】本発明ではまた、(従来のシステムに見られるような)非共用資源制御ブロックを、同一タイプの共用可能資源と混合することができる。したがって、非共用サブチャネル(SCB)を単一のオペレーティング・システム専用の入出力装置に使用することができ、また共用可能サブチャネル(SSCB)を、複数のオペレーティング・システムによる、その装置に対するパススルー入出力動作を可能にするために使用することもできる。

【0046】本発明は、(それぞれの資源が異なる論理区画で定義される)IBM PR/SMシステムや、(ソフトウェア・ディレクトリを使用し、さまざまな論理区画を定義する)IBM S/370 VM MPG(仮想計算機多重優先ゲスト)システムなど、コンピュータ電子複体の異なる資源区画をOSプログラムが実行できるようにする、従来のCEC資源区分アーキテクチャと共に使用することができる。このどちらのタイプの区画システムも、パススルー・モードで入出力動作を実行できる。パススルー・モードでは、オペレーティング・システムが、CECハイパバイザからの介入なしで(ただし、例外が発生しない場合)入出力チャネルまたは入出力装置(両方は不可)を直接共用でき、入出力アクセスの時間が大幅に短縮される。入出力チャネルと装置の両方をパススルー・モードでオペレーティング・システムが直接アクセスのために共用することはできない。これら従来のシステムでは、すべてのチャネルおよび装置にアクセスできるのはハイパバイザだけである。そして、ハイパバイザ介入が必要なのは、これらの装置へのアクセスに使用される入出力装置とチャネルの両方をオペレーティング・システムが共用する場合である。これは、オペレーティング・システムによる直接パススルー動作に比べて非常に非効率的な種類の入出力動作である。

【0047】この介入で使用する共用可能チャネルは、ビット・シリアル型、ビット・パラレル型、またはシリアル/パラレル型のデータ伝送を提供することができる。本発明は、IBM Enterprise Systems Connection: ESCONアーキテクチャによって記述される種類のシリアル入出力チャネル・インタフェースと共に使用することが好ましい。しかし、本発明は、他のチャネル

システム・メモリと中央演算処理装置とを相互接続するために従来技術で使用されているタイプのキャッシュおよび制御部(図示せず)、ならびに入出力サブシステムを備えている。図1のCEC資源は、資源区画1～Nとして構成されている。これは、(前述の)米国特許第4848541号に記載され特許請求された方式で実施することができる。

【0058】図1に示すコンピュータ電子複合体のN個の区画はそれぞれ、オペレーティング・システム(OS)を備えており、(IBM PR/SMマイクロコード・ハイパバイザなどの)マイクロコード・ハイパバイザがオペレーティング・システムの動作全体を制御する。あるいは、コンピュータ電子複合体に、仮想計算機(VM)ソフトウェア・ハイパバイザの下で動作する複数のオペレーティング・システムを備えることができる。いずれの場合も、コンピュータ電子複合体は、ハイパバイザの制御下で同時にかつ独立して実行するN個のオペレーティング・システムを有している。オペレーティング・システムは、たとえば、IBM MVSシステムまたはVM CMSシステム等とすることができる。

【0059】図1に示す入出力サブシステムは、入出力プロセッサ(IOP)1～Tと、チャンネル・プロセッサ1～Nを備えている。入出力サブシステムは、たとえば最大256個(8ビットCHPIDを使用するとき)のチャンネル・プロセッサを有するが、通常は、入出力プロセッサの数はこれよりも少ない。入出力プロセッサは、入出力作業待ち行列を介して中央演算処理装置から受け取った入出力要求を削除し、要求された入出力動作を制御するチャンネル・プロセッサを選択する。入出力プロセッサの数は、それがいくつあれば中央演算処理装置からの入出力作業負荷を適時に処理できるかによって決まる。通常、必要な入出力プロセッサの数は少数であり、好ましい実施例では4個と想定されている。チャンネル・プロセッサはそれぞれ、チャンネル1～S上のデータ伝送を制御する。好ましい実施例では、これらのチャンネルはそれぞれIBM S/390 ESCON型のシリアル・チャンネルとすることができる。

【0060】本発明を利用すると、複数の入出力チャンネル・プログラムを同時に実行する複数のオペレーティング・システムが、入出力プロセッサおよび入出力チャンネルを直接かつ効率的に共用することが可能になる。

【0061】入出力資源の共用には、サブチャンネル・イメージを介する装置イメージと、入出力チャンネル・イメージと、論理制御装置イメージとを含む、3種の入出力資源のイメージを使用する。

【0062】各物理チャンネルは、チャンネル制御ブロック(CHCB)の共用セットによって表される。チャンネル制御ブロックは、入出力サブシステム記憶域に置かれる。入出力サブシステム記憶域は、(該記憶域を保護するため)CPUプログラムからアドレス可能な記憶域と

分離することが好ましい。

【0063】各オペレーティング・システムは、同一の物理チャンネルの異なる「チャンネル・イメージ」を有する。同一の物理チャンネルの異なるチャンネル・イメージは、共用セットの各チャンネル制御ブロック内の情報によって表される。各チャンネル・イメージは、本発明では、OS識別子(IID)および物理チャンネル識別子(CHPID)によって定義される。特定のチャンネル・イメージのチャンネル制御ブロックは、それと関連するCHPID値およびIID値によって入出力サブシステム記憶域内で位置決めすることができる。同一の物理チャンネルについての各チャンネル・イメージの様々な特性は、それぞれのチャンネル・イメージのチャンネル制御ブロックにおける設定内容によって示される。

【0064】チャンネルのイメージは、特定のオペレーティング・システムから関連する物理チャンネルを通して論理制御装置に至る論理経路(LP: 動的入出力スイッチを介する場合を含む)を定義する際の一要素として使用される。単一の論理経路は、物理チャンネルまたは制御装置ポートに対して、物理チャンネル・リンク・アドレス、物理制御装置リンク・アドレス、イメージ識別子、および論理制御装置アドレスの組合せによって一義的に識別される。同一の物理チャンネルの異なるイメージを使用すると、異なるオペレーティング・システムの下で動作する異なる入出力チャンネル・プログラムを同時に実行できるようになる。ただし、一時に物理チャンネルを介してコマンド、データ、または状況を伝送できるチャンネル・プログラムは1つだけである。図8ないし10に、チャンネル制御ブロックを示し、かつチャンネル制御ブロックが、CHPID値およびIID値で位置決めできるように、アレイ状に編成されている様子を示す。

【0065】各サブチャンネルは、共用サブチャンネル制御ブロック(SSCB)の共用セットで表される。共用サブチャンネル制御ブロックは、入出力サブシステム記憶域に置かれる。入出力サブシステム記憶域は、(該記憶域を保護するため)CPUプログラムからアドレス可能な記憶域と分離することが好ましい。

【0066】各オペレーティング・システムは、同一のサブチャンネルの異なる「サブチャンネル・イメージ」を有する。同一の物理チャンネルの異なるサブチャンネル・イメージは、共用セットの各サブチャンネル制御ブロック内の情報によって表される。各サブチャンネル・イメージは、本発明では、OS識別子(IID)およびサブチャンネル識別子(サブチャンネル番号)によって定義される。特定のサブチャンネル・イメージのサブチャンネル制御ブロックは、それと関連するサブチャンネル番号およびIID値によって入出力サブシステム記憶域内で位置決めすることができる。同一のサブチャンネルについての各サブチャンネル・イメージの様々な特性は、それぞれのサブチャンネル・イメージのサブチャンネル制御ブロックにおける設定内



てられる。本発明の好ましい実施例では、コンピュータ電子複合体の各オペレーティング・システムに1 つずつイメージ識別子が割り当てられている。

【 0 0 7 7 】 好ましい実施例では、イメージ識別子は、オペレーティング・システムに割り当てられるが、オペレーティング・システムには認識されない。しかし、イメージ識別子はたとえば、ハイパバイザ、中央演算処理装置、入出力サブシステム、および制御装置には認識される。

【 0 0 7 8 】 複数のオペレーティング・システムが、相互間のデータ・セキュリティを減じることなく、コンピュータ電子複合体に接続可能な物理入出力資源を共用できるようにするために、イメージ識別子が使用される。本発明によって提供される新規の共用可能性のおかげで、最大限には、コンピュータ電子複体内のあらゆるオペレーティング・システムが、入出力動作にハイパバイザを関与させずに、コンピュータ電子複合体が利用可能なすべての制御装置（物理装置と論理装置の両方）、すべての入出力チャネル、および制御装置に接続されたすべての入出力装置を共用することができる。

【 0 0 7 9 】 本発明によれば、複数のオペレーティング・システムが、同一のチャネル、（入出力装置を表す）サブチャネル、および論理制御装置の異なるイメージを使用できるようになる。異なるイメージを用いることによって、各オペレーティング・システムは、同一の物理チャネル、同一の制御装置（物理装置と論理装置の両方）もしくは同一の物理入出力装置、またはそれらの組合せを個別に共用し制御することが可能となる。

【 0 0 8 0 】 図16は、コンピュータ電子複合体の入出力サブシステム記憶域に格納された制御ブロックで表された、チャネル・イメージ、論理制御装置イメージ、およびサブチャネル・イメージの例を示す。図17に示すように、入出力制御装置も、入出力制御装置記憶域に格納されて論理経路を表す制御ブロックを有する。異なるオペレーティング・システムがすべて同一の入出力資源にアクセスし、それらを直接共用することができるのは、入出力サブシステムおよび入出力制御装置がこれらの制御ブロックを使用するからである。

【 0 0 8 1 】 同一のサブチャネルに複数のイメージがあるため、各オペレーティング・システムを（同一のサブチャネルのOS関連イメージを介して）同一の装置に接続することができる。

【 0 0 8 2 】 物理チャネルを共用する異なるオペレーティング・システムが、異なる時に、同一の入出力装置または異なる入出力装置に対し同一の物理チャネルを介して、非同期にデータを多重化することができる。

【 0 0 8 3 】 異なるチャネル・イメージはそれぞれ、入出力サブシステム記憶域の1つのチャネル制御ブロック（CHCB）によって表される。入出力サブシステム記憶域に対してCPU命令はアドレスできないが、内部コ

ード化（マイクロコード化）命令はアドレスできるようにするために、当該入出力サブシステム記憶域は、システム主記憶装置から分離したメモリ域にあることが好ましい。チャネル制御ブロックの例を、図8、図10、および図16に示す。これらは、入出力サブシステム記憶域における最大 $(N+1) * (P+1)$ 個の共用可能CHCBとすることができる。

【 0 0 8 4 】 好ましい実施例では、コンピュータ電子複合体の各オペレーティング・システムに非0の一意的なIID値を割り当て、IID=0の値は、CECハイパバイザに割り当てるために予約しておく。ハイパバイザには、実際にIID値が割り当てられることも割り当てられないこともある。

【 0 0 8 5 】 異なるハイパバイザの要件は、ハイパバイザがそれ自体のために入出力動作を実行できる必要があるかどうかに関連して変わる。たとえば、ソフトウェア・ハイパバイザを使用する場合は、入出力装置をそのオペレーティング・システムと共用できる必要がある。そうすれば、IID=0を持つ共用サブチャネル制御ブロック（SSCB）を、ハイパバイザが使用する共用サブチャネル制御ブロックの各共用セット内に設けることができる。同様に、IID=0を持つチャネル制御ブロックおよび論理制御装置制御ブロックをそれぞれ、チャネル制御ブロックおよび論理制御装置制御ブロックの各共用セット内に設けることができる。こうすると、（VM/370 XAなどの）ソフトウェア・ハイパバイザが、入出力チャネル、入出力制御装置、および入出力装置をそのオペレーティング・システムと共用できるようになる。一方、マイクロコード・ハイパバイザ（たとえば、IBM PR/SM LPARシステムのハイパバイザ）を使用する場合は、入出力資源をオペレーティング・システムと共用する必要はない。この場合、（IID=0値を持つ）ハイパバイザ用の共用サブチャネル制御ブロック、チャネル制御ブロック、または論理制御装置制御ブロックを各共用セット内に設ける必要はない。

【 0 0 8 6 】 好ましい実施例では、イメージ識別子は、コンピュータ電子複体内のすべてのオペレーティング・システム、およびオペレーティング・システムの下で実行中のすべてのプログラムに対して透過的である。オペレーティング・システムやオペレーティング・システム・プログラムに、イメージ識別子がコンピュータ電子複体内で使用されていること、または入出力資源がオペレーティング・システムによって使用されることを認識させる必要はない。イメージ識別子および資源共用を認識する必要があるのは、システム・ハイパバイザ、中央演算処理装置、入出力サブシステム、および制御装置だけである。オペレーティング・システムは、IIDを認識する必要も、それにアクセスする必要もない。というのは、オペレーティング・システムが入出力動作を要求するときは、オペレーティング・システムのIID値



27

す。各チャンネル制御ブロックは、アレイ内で、それらに割り当てられたCHPIDによってインデックス(位置決め)される。CHPIDは、好ましい実施例では各チャンネル制御ブロックの第1フィールドに書き込まれる。ここで、各CHPIDは、8ビット数によって表され、その最大数(およびコンピュータ電子複合体内の対応するチャンネルの数)が256に制限されている。(注:この例は、共用チャンネルのチャンネル制御ブロックだけが示されている図16のチャンネル制御ブロックのアレイではない)

【0096】チャンネル制御ブロックの構造: 図10に、チャンネル制御ブロックの内容(図16で使用するチャンネル制御ブロックの内容でもある)を示す。チャンネル制御ブロックの第1行には、それぞれのチャンネル制御ブロックで表されるCHPIDの値が入っている。IIDフィールドには、このチャンネル制御ブロックに割り当てられたイメージ識別子が入っている。CHPIDおよびイメージ識別子というこれら2つの値があいまって、入出力サブシステム記憶域内で任意のチャンネル制御ブロックを位置決めする。該記憶域では、チャンネル動作の際にチャンネル制御ブロックにアクセスする際にこれら2つの値が使用される。各チャンネル制御ブロックの他のフィールドは以下のとおりである。

【0097】U: 非共用/共用標識は、チャンネルが非共用である(1つのオペレーティング・システム専用)か、それとも複数のオペレーティング・システムで共用されているかを示す。

【0098】C: オンライン/オフライン変更済み(varied)標識。それぞれのチャンネル・イメージが、オンラインに変更済みで動作可能であるか、それともオフラインに変更済みで、動作可能ではない(但し、保守動作のためには処理できる)かを示す。

【0099】P: 永久エラー: チャンネル・イメージが現在永久エラー状態にあるかどうかを示す。

【0100】A: 候補: チャンネル・イメージがオンライン変更済みになり得るかどうかを示す。

【0101】S: 抑圧: チャンネル・イメージ用の新規の入出力活動が開始できるかどうかを示す。

【0102】各チャンネル制御ブロックには、この仕様において当該チャンネル制御ブロックに固有でないこれらの定義済みフィールドの他に、他のフィールド(図示せず)も含むことができる。

【0103】下記の(およびその他多くの)シナリオは、同一の物理チャンネルまたは異なる物理チャンネルに関するこれらの新規なチャンネル・イメージの状態が可能である。

【0104】a) OS1、2、および3の共用チャンネル・イメージがオンラインに変更済みである。

【0105】b) OS1のチャンネル・イメージは、オフラインに変更され、動作可能ではない。一方OS2およ

28

びOS3のチャンネル・イメージはオンラインに変更済みであり、入出力動作を同時に実行中である。

【0106】c) 物理チャンネル内で一時的なエラー条件が発生したため、OS2およびOS3のチャンネル・イメージが永久エラー状態になっている(直前のステップで変更されたため、OS1のチャンネル・イメージはオフラインである)。

【0107】d) OS2は、そのチャンネル・イメージを再度使用するために、チャンネル・イメージをオフラインに変更し、次いでオンラインに変更する。これによってエラー状態が是正され、チャンネル・イメージはエラーなしになる。その結果、3つのチャンネル・イメージは異なる状態になる。OS1のチャンネル・イメージはオフラインである。OS2のチャンネル・イメージはオンラインでエラーなしである。OS3のチャンネル・イメージはオンラインで永久エラー状態である。

【0108】チャンネルごとの他の制御ブロック: チャンネルの操作には他の制御ブロックが使用される。これにはたとえば、各チャンネル制御ブロックと関連付けられた「逆参照制御ブロック(reverse lookup control block, RLCB)」がある。RLCBには、それぞれの物理チャンネルを使用できる各サブチャンネルがリストされる。

【0109】サブチャンネル・イメージ(同一の共用セットのサブチャンネル制御ブロック)においてチャンネル割当ての変動があつて、共用セット中の一部のサブチャンネルが特定のチャンネルを使用でき、他のサブチャンネルが使用できなくなった場合、そのような変動もRLCBにリストすることもできる。(しかし、本明細書の好ましい実施例では、同一の共用セット中のすべてのサブチャンネル制御ブロックには同一のチャンネル(CHPID)を割り当てている)。

【0110】サブチャンネル・イメージ(サブチャンネル制御ブロックおよび共用サブチャンネル制御ブロック): 本発明は、本明細書で「共用サブチャンネル制御ブロック」と呼ぶ、サブチャンネル制御ブロックの「共用セット」により、各サブチャンネルごとに1組のサブチャンネル・イメージを提供する。共用セット中の共用サブチャンネル制御ブロックはそれぞれ、(異なるオペレーティング・システムを表す)異なるイメージ識別子に割り当てられる。共用セットの新規の概念により、最大限で、コンピュータ電子複合体内のすべてのオペレーティング・システムが、同一の入出力装置にアクセスすることができる(同一の共用セット中のすべての共用サブチャンネル制御ブロックに、同一の装置を表す同一のサブチャンネル番号が割り当てられるからである)。

【0111】図11に、共用サブチャンネル制御ブロックの共用セットと、非共用サブチャンネル制御ブロックを併せ持つ例を示す。図11の各ブロックは、共用サブチャンネル制御ブロックまたはサブチャンネル制御ブロックを表

31

示される(したがって理論的には、これらの値が共用サブチャネル制御ブロックまたはサブチャネル制御ブロックを指定する必要はない)。

【0125】SSCB番号フィールドは、本発明において、同一の共用セット中の共用サブチャネル制御ブロックに同一の共用サブチャネル制御ブロック番号を入れるために必要である。

【0126】図12に示す共用サブチャネル制御ブロック/サブチャネル制御ブロックの他のフィールドは、(前に引用した)「ESA/390解説書(Principles of Operation)」の従来技術のサブチャネル情報ブロック中で定義されたフィールドと同一であり、これらのフィールドを各共用サブチャネル制御ブロックに設けることもできる。しかし、本発明では、従来のサブチャネル情報ブロック中のこれらのフィールドの一部が、以下のように新規な形で使用される。

【0127】有効フィールドVは、共用サブチャネル制御ブロックで表されるイメージが有効であり使用できるかどうかを示す。無効な場合、(割り当てられるイメージ識別子で表される)割り当てられたオペレーティング・システムが、入出力装置を表すイメージにアクセスすることはできない。しかし、有効な状態を示す同一のサブチャネルの有効なイメージを持った(有効ビット=1を持つが、異なるイメージ識別子を割り当てられている)他のオペレーティング・システムが同一の入出力装置にアクセスすることは可能である。したがって、各サブチャネル・イメージのVビットを1または0に設定して、選択されたオペレーティング・システムだけが、対応する入出力装置の入出力動作を要求できるようにすることが可能である。

【0128】好ましい実施例では、各要求サブチャネル制御ブロックまたはサブチャネル制御ブロックは、最大8個のチャネル経路識別子(CHPID=0ないしCHPID=7)のフィールドを備えている。これにより、サブチャネル制御ブロックまたは共用サブチャネル制御ブロックで表される入出力装置に、これらのチャネル経路識別子で表される最大8本の異なるチャネルのどれもがアクセスできるようになる。ある入出力装置が通信動作のために選択されているとき(たとえば、当該装置が起動またはリセットされているとき)、他の入出力装置によるビジー状態のため、あるいは単に現在動作可能でないために、一部のCHPID指定チャネルを要求側のオペレーティング・システムが使用できないことがある。チャネルは、使用可能であるとき、サブチャネル制御ブロックまたは共用サブチャネル制御ブロックで表される入出力装置への現在選択されているチャネル経路として割り当てられる。

【0129】使用可能ビットEは、この共用サブチャネル制御ブロックで表されるイメージによって入出力動作が実行できるかどうかを示す。Eビット値は、同一の共

32

用セット中の異なる共用サブチャネル制御ブロック・イメージで異なったものとしてすることができる。

【0130】入出力割り込みサブクラス・コードISCは、この共用サブチャネル制御ブロックで表されるイメージに提供される入出力割り込みに使用される割り込みサブクラスを示す。ISC値は、同一の共用セット中の異なる共用サブチャネル制御ブロック・イメージで異なったものとしてすることができる。

【0131】論理経路マスクLPMは、共用サブチャネル制御ブロックのサブチャネル番号で指定される入出力装置にアクセスするために、共用サブチャネル制御ブロックのチャネル経路識別子で指定されるチャネルが論理的に使用可能かどうかを示す。LPMフィールド値は、同一の共用セット中の異なる共用サブチャネル制御ブロック・イメージで異なったものとしてすることができる。

【0132】経路使用可能マスクPAMは、8ビットを有する。これらのビットはそれぞれ、サブチャネル番号フィールドで指定された入出力装置が使用するために、共用サブチャネル制御ブロックのCHPID 1~8フィールドで指定された各インストール済みチャネルが物理的に使用可能かどうかを示す。PAMフィールド値は、同一の共用セット中の異なる共用サブチャネル制御ブロック・イメージで異なったものとしてすることができる。

【0133】DB(装置ビジー)フィールドは、この共用サブチャネル制御ブロックの現論理チャネル経路における最後の要求が、その装置終了条件がまだ受信されていない装置ビジー条件に遭遇したかどうかを示す。DBフィールド値は、同一の共用セット中の異なる共用サブチャネル制御ブロック・イメージで異なるようにすることができる。

【0134】従属関係(allegiance)フィールドALLEGは、この共用サブチャネル制御ブロック・イメージに現在割り当てられているチャネル経路について、次の従属関係状態(もしあれば)のうちのどれが当てはまるかを示す。0: 従属関係なし、1: 活動状態従属関係、2: 専用従属関係、3: 作業従属関係。ALLEGフィールド値は、同一の共用セット中の異なる共用サブチャネル制御ブロック・イメージで異なったものとしてすることができる。

【0135】これらのサブチャネル制御フィールドおよびその他のサブチャネル制御フィールドは、入出力サブシステムに、各サブチャネル・イメージの状態および属性を独立に追跡する機能を提供する。たとえば、経路選択管理、経路使用可能性、装置ビジー条件、従属関係などの項目はすべて、各共用セット内の各サブチャネル・イメージごとに独立して処理できる。

【0136】一般に、共用サブチャネル制御ブロック(および非共用サブチャネル制御ブロック)のIID値は、入出力サブシステムを初期設定または再構成する時

35

共用サブチャネル制御ブロックの範囲として記憶域アドレスの複数の連続範囲が使用されるかに依存する。

【 0 1 4 3 】チャネル制御ブロックおよび論理制御装置制御ブロックのアドレス生成は、( 非共用 ) サブチャネル制御ブロック / 共用サブチャネル制御ブロックと同様の形で行うことができる。チャネル制御ブロックの場合、それを一義的に識別するのはチャネル経路識別子およびイメージ識別子である。論理制御装置制御ブロックの場合、それを一義的に識別するのは、LCUCB 番号およびイメージ識別子である。

【 0 1 4 4 】チャネルおよびサブチャネルの数の拡張: 本発明では、コンピュータ電子複合体内で使用可能なチャネル・イメージおよびサブチャネル・イメージの実際の数を、CHPID 値およびサブチャネル番号値のビット数のうちで使用可能な最大の数によって提供される最大数をはるかに上回る数に拡張することができる。コンピュータ電子複合体に使用可能なチャネル・イメージの最大数は、チャネルの最大数に、コンピュータ電子複合体内のイメージ識別子の数を掛けた値に等しい。コンピュータ電子複合体に使用可能なサブチャネル・イメージの最大数は、サブチャネルの最大数に、コンピュータ電子複合体内のイメージ識別子の数を掛けた値に等しい。このようになるのは、各チャネル経路識別子および各サブチャネル番号が各I I D 値ごとに複製されるからである。

【 0 1 4 5 】動的スイッチの使用: 図1 6 および図1 7 を参照すると、物理チャネル6 5 は、動的スイッチ6 2 を介して物理制御装置6 0 に接続される場合とされない場合( 物理制御装置内に複数の論理制御装置が存在できる場合 ) がある。物理チャネル6 5 が動的スイッチ6 2 に接続される場合、物理チャネル経路は、CEC 入出力サブシステムと動的スイッチ6 2 の間の物理チャネル・リンク6 3 とみなされ、さらに動的スイッチ6 2 と物理制御装置6 0 の間に接続された物理制御装置リンク6 1 とみなされる。

【 0 1 4 6 】動的スイッチ6 2 を使用しない場合( 物理制御装置6 0 内に複数の論理制御装置が存在できる場合 )、物理チャネル経路は、CEC 入出力サブシステムと物理制御装置6 0 の間の物理チャネル・リンクとみなされる。

【 0 1 4 7 】図1 7 に、物理チャネル6 5 - 0 ないし6 5 - P の物理チャネル・リンク6 3 - 0 ないし6 3 - P に接続された動的スイッチ6 2 を示す。動的スイッチ6 2 の制御装置( 制御装置 ) ポートは、物理制御装置6 0 のポートに接続された物理制御装置リンク6 1 - 0 ないし6 1 - L に接続されている。物理制御装置6 0 内に複数の論理制御装置が存在しており、各論理制御装置がそれぞれ、物理制御装置6 0 のすべてのポートを使用できる。物理制御装置6 0 は、物理入出力装置A ~ E ないしY ~ Z に接続されている。( 図1 6 と図1 7 は両者あい

36

まって、OS 共用チャネル、装置、および論理制御装置を表す各種のI I D 関連イメージを提供するような異なるタイプの制御ブロックを持つ、本発明の統合された実施例を示す)。

【 0 1 4 8 】論理制御装置イメージ( LCUCB ) : 物理制御装置( 物理制御装置 ) は、電子ボックス内、または電子ボックス内のカード 上もしくはチップ上、あるいはその両方上に一般にみられるエンティティであり、D ASD、テープ、プリンタ、ディスプレイなど、1 つまたは複数の接続された入出力装置の動作を制御する。

【 0 1 4 9 】ESCON 入出力インタフェース・アーキテクチャでは、物理制御装置内に複数の論理制御装置( 論理CU ) が存在することができる。論理制御装置は、機能を提供するとともに、制御装置の論理的な外観を有する。物理制御装置内に複数の論理制御装置が存在しない場合、物理制御装置に単一の論理制御装置が存在するという。物理制御装置内の複数の論理制御装置は、同一の一般タイプ( たとえば、DASD の制御用 ) でも、異なる一般タイプ( たとえば、1 つがDASD の制御用で、もう1 つがプリンタの制御用など ) のものでもよい。

【 0 1 5 0 】物理制御装置内の各論理制御装置は、物理制御装置内に存在するすべてのポートを使用することができる。論理制御装置は、チャネルから論理制御装置に送信されるフレーム・ヘッダおよび論理制御装置からチャネルに送信されるフレーム・ヘッダに含まれる論理制御装置アドレスによって物理制御装置内で一義的に識別される。

【 0 1 5 1 】論理制御装置に関連する入出力サブシステム内の情報および制御は、論理制御装置制御ブロック( LCUCB ) 内に維持される。入出力サブシステムは、論理制御装置識別子( LCUCB 番号 ) を使用して論理制御装置制御ブロックを識別する。

【 0 1 5 2 】本発明は、論理制御装置制御ブロックの「共用セット」により各論理制御装置ごとに1 組の論理制御装置イメージを提供する。共用セット中の論理制御装置制御ブロックはそれぞれ、( 異なるオペレーティング・システムを表す ) 異なるイメージ識別子に割り当てられる。これによって、最大限で、コンピュータ電子複合体内のすべてのオペレーティング・システムが、同一の論理制御装置を共用できるようになる。というのは、論理制御装置に関する情報および制御( チャネル・イメージと論理制御装置の間の論理経路に関する情報および制御など ) が、論理制御装置の各イメージごとに別々に維持されるからである。

【 0 1 5 3 】各論理制御装置制御ブロックは、同一のLCUCB 番号を持つ共用セットであり、LCUCB 番号とイメージ識別子との組合せによって一義的に識別される。図1 3 に、論理制御装置制御ブロックのアレイの例を示す。このアレイは、図8 および図1 1 にそれぞれ示

10

20

30

40

50

ビジイー応答が現れた回数が含まれる。各C Uビジイー・カウンタ・フィールドは、論理制御装置と関連するサブチャンネルのP I Mビットと、相対位置によって1対1で対応する。

【0174】「成功数」フィールドには、起動機能の初期選択シーケンスを実行したときに、装置が、対応する論理チャンネル経路上のチャンネル・プログラムの第1のコマンドを受け入れた回数が含まれる。各成功数フィールドは、論理制御装置と関連するサブチャンネルのP I Mビットと、相対位置によって1対1で対応する。

【0175】制御装置論理経路制御ブロック(CULPCB)：論理制御装置に接続された入出力装置との通信を行う前に、チャンネルとその論理制御装置の間に論理経路を確立しておかねばならない。本発明では、論理経路(LP)の識別を、チャンネル・イメージに対応するイメージ識別子を含むように拡張する。すなわち、論理制御装置に接続された入出力装置との通信を行う前に、それぞれのチャンネル・イメージを使って、チャンネルとその論理制御装置の間に独自の論理経路を確立しておく必要がある。単一の論理経路は、物理チャンネルまたは制御装置ポートに関して、物理チャンネル・リンク・アドレス、物理制御装置リンク・アドレス、イメージ識別子、および論理制御装置アドレスの組合せによって一義的に識別される。

【0176】確立された論理経路に関する入出力制御装置(CU)内の情報および制御は、「制御装置論理経路制御ブロック」(CULPCB)に維持される。入出力制御装置の記憶域に存在する制御装置論理経路制御ブロックの数によって、制御装置がある時点までに確立することができる論理経路の最大数が決まる。入出力制御装置の記憶域に存在する制御装置論理経路制御ブロックの最大数は、可変数にすることができるので開放型である。

【0177】チャンネル・イメージが、(論理経路確立手順を使って)当該チャンネル・イメージと論理制御装置の間に論理経路を確立することを求めると、制御装置は、指定された論理経路と関連付けることができる使用可能な制御装置論理経路制御ブロックを見つけようとする。制御装置は、他の確立された論理経路と現在関連付けられている制御装置論理経路制御ブロックを使用可能とみなさない。使用可能な制御装置論理経路制御ブロックが見つかった場合、制御装置は、論理経路が確立されているとチャンネル・イメージに回答する。使用可能な制御装置論理経路制御ブロックが見つからない場合、制御装置は、論理経路が確立されていないとチャンネル・イメージに回答する。論理経路が確立されると、この確立された論理経路と関連する制御装置論理経路制御ブロックはもはや使用可能でなくなる。あとで、制御装置論理経路制御ブロックが関連付けられている確立された論理経路が削除された場合、その制御装置論理経路制御ブロックは

使用可能になる。

【0178】制御装置内の確立された論理経路と関連する制御装置論理経路制御ブロックは、制御装置ポートに対して論理経路を識別する識別子によって識別される。すなわち、制御装置論理経路制御ブロックは、物理チャンネル・リンク・アドレス、物理制御装置リンク・アドレス、イメージ識別子、論理制御装置アドレス、および制御装置ポート識別子(CUポート番号)の組合せで一義的に識別される。制御装置論理経路制御ブロックは、確立された論理経路と関連付けられると、確立された論理経路に対応するチャンネル・イメージ、論理制御装置、および論理装置ポートと関連付けられるようになる。

【0179】物理制御装置内の使用可能な制御装置論理経路制御ブロックは、論理経路または制御装置ポート、あるいはその両方のI Dに応じて、論理経路の確立のために条件付きで使用可能とすることができる。たとえば、制御装置論理経路制御ブロックを、物理制御装置内で有効な論理制御装置アドレス値のサブセットで識別される論理経路との関連付けについて制限することができる。

【0180】図17には、複数の論理制御装置60-0ないし60-Kを持つ物理制御装置60(単一のボックスにパッケージされている)の例を示す。各論理制御装置は、論理制御装置と関連付けられた複数の異なる制御装置論理経路制御ブロックを持つことができる。たとえば、論理制御装置60-0はCULPCB 60-0(1)ないし60-0(G)と関連付けられており、論理制御装置60-Kは、CULPCB 60-K(1)ないし60-K(H)と関連付けられている。

【0181】制御装置論理経路制御ブロックの構造：図4は、制御装置論理経路制御ブロック(CULPCB)の構造の例を示す。この制御ブロックは、物理制御装置のハードウェア/マイクロコード内に設けられ、チャンネル・イメージと論理制御装置の間に確立される単一の論理経路を表す。

【0182】図4では、制御装置論理経路制御ブロックの第1行に、制御装置論理経路制御ブロックのすべてのコンポーネント識別子(関連する確立された論理経路および論理チャンネル経路のコンポーネント識別子でもある)が入っている。制御装置論理経路制御ブロックの他の各行は、関連する論理制御装置に接続された入出力装置、たとえば、図17において論理制御装置0(論理CUアドレス=0)に接続された入出力装置71A~71Eに関する情報を表す。入出力情報には、「S/390解説書」(先に引用した)で定義された入出力装置の従属関係標識、(オペレーティング・システムによって入出力装置に割り当てられる)PGID、および特定の論理制御装置および入出力装置に合わせて調整されたモデル従属制御フィールドが含まれる。

【0183】PGID(複数経路グループ識別子)は、

ンドを送って、確立済み論理経路と関連する、制御装置の制御装置論理経路制御ブロック内の制御を再初期設定する。

【 0 1 9 4 】イメージ・リセット・コマンドは、ターゲット I I D と活動化／非活動化標識を含む制御ブロックを転送する、サービス呼出し論理プロセッサ ( S C L P ) 命令とプロセッサ制御装置呼出し ( P C C A L L ) 命令の一部である。このコマンドを発行するのは、ハイパバイザだけである。

【 0 1 9 5 】入出力命令: 入出力サブシステムへの入出力命令の大部分は、共用サブチャネル制御ブロック、チャネル制御ブロック、論理制御装置制御ブロック、および制御装置論理経路制御ブロックを使用する。

【 0 1 9 6 】サブチャネル起動命令の例: 入出力命令の例を図18および図19に示す。これらの図は、S / 3 9 0 「サブチャネル起動」 ( S S C H ) 命令の実行の流れ図を示している。S S C H 命令は、資源区画で実行中であり、イメージ識別子を割り当てられた、図1のコンピュータ電子複合体内のオペレーティング・システム ( O S ) から発行される。S S C H 命令実行のステップは以下のとおりである。

【 0 1 9 7 】1 0 1 ) オペレーティング・システムがコンピュータ電子複合体上で本発明を使用できるようにするため、CECハイパバイザによって、オペレーティング・システムの状態記述 ( S D ) ( 図6に示す) がコンピュータ電子複合体のメモリにロードされる。状態記述の内容は、区画の資源を定義し、イメージ識別子がそれに割り当てられる。

【 0 1 9 8 】1 0 2 ) オペレーティング・システムが、資源区画に割り当てられたCECメモリにロードされる。

【 0 1 9 9 】1 0 3 ) ハイパバイザにより、オペレーティング・システムがコンピュータ電子複合体の中央演算処理装置上でディスパッチされる。

【 0 2 0 0 】1 0 4 ) オペレーティング・システムが、アプリケーション・プログラムを、ディスパッチされた中央演算処理装置上のタスクとしてディスパッチする。

【 0 2 0 1 】1 0 5 ) タスクが、アプリケーション／オペレーティング・システム間プログラム・インタフェース機構を使ってスーパーバイザ呼出し ( S V C ) 命令を発行することにより、読取り要求、取出し要求、書き込み要求、プット要求など、オペレーティング・システムの入出力動作を要求する。

【 0 2 0 2 】1 0 6 ) オペレーティング・システムが、S S C H 命令を発行して、要求された動作を実行するために入出力装置を起動する。

【 0 2 0 3 】1 0 7 ) C P U マイクロコードが、S S C H 命令の命令コードに応答して、発行側オペレーティング・システムの状態記述 ( S D ) 中のイメージ識別子 ( I I D ) にアクセスし、要求されたサブチャネル番号

を汎用レジスタ G R 1 から取り出す。次に、マイクロコードが、イメージ識別子およびサブチャネル番号を使って、図12の必要な共用サブチャネル制御ブロックを選択する。この共用サブチャネル制御ブロックは、オペレーティング・システムが所望の入出力装置にアクセスするために使用するサブチャネル・イメージである。

【 0 2 0 4 】1 0 8 ) マイクロコードが、共用サブチャネル制御ブロック中の有効 ( V ) ビットおよび入出力解釈制御ビット ( I N C B ) をテストし、それが有効な共用サブチャネル制御ブロックであるかどうか、およびパススルー・モードで動作しているかどうかを判定する。共用サブチャネル制御ブロックが有効であり、パススルー・モードで動作している場合、YES 出口からステップ115に進む。共用サブチャネル制御ブロックが有効でない場合、またはパススルー・モードで動作していない場合は、NO 出口からステップ109に進む。

【 0 2 0 5 】1 0 9 ) 汎用レジスタ G R 1 から得たサブチャネル番号と I I D = 0 ( すなわち、ハイパバイザのイメージ識別子) を使って、所望の入出力装置を表す ( 図12の) 共用サブチャネル制御ブロックの選択を再度試みる。マイクロコードが、共用サブチャネル制御ブロック中の有効 ( V ) ビットおよび入出力解釈制御ビット ( I N C B ) をテストして、それが有効な共用サブチャネル制御ブロックであるかどうか、およびパススルー・モードで動作しているかどうかを判定する。共用サブチャネル制御ブロックが有効であり、パススルー・モードで動作している場合、YES 出口からステップ115に進む ( すなわち、ハイパバイザが、それ自体に割り当てられた共用サブチャネル制御ブロックのセット・アップを済ませており、オペレーティング・システムがそれをパススルー・モードで使用できるようになっている) 。共用サブチャネル制御ブロックが有効でない場合、またはパススルー・モードで動作していない場合は、NO 出口からステップ113に進む。

【 0 2 0 6 】1 1 3 ) ハイパバイザが、OS - J の S I E 命令の実行をインタセプトする。ハイパバイザは ( たとえば、選択された共用サブチャネル制御ブロックが無効であるとき) 異常終了条件コード ( C C ) で入出力命令を終了するか、あるいは ( たとえば、選択された許容サブチャネル制御ブロックがパススルー・モードで動作していないとき) OS - J の入出力命令の実行をシミュレートすることができる。

【 0 2 0 7 】1 1 5 ) C P U マイクロコードが、OS - J の共用サブチャネル制御ブロックにアクセスして、S S C H 命令の同期部分を実行する。

【 0 2 0 8 】1 1 6 ) S S C H 命令の条件コードをテストして、S S C H 命令実行の C P U 部分が成功裏に実行されたかどうかを判定する。C P U 部分の実行が成功するには、C P U マイクロコードが入出力プロセッサ ( I O P ) を選択することが必要である。中央演算処理装置

47

該共用サブチャネル制御ブロックに終了状況を格納する。

【0221】139) チャネル・プロセッサは、状況フレームを受信した後、このコマンドについての入出力動作が完了したことを示す信号を入出力プロセッサに送り、共用サブチャネル制御ブロックのサブチャネル番号およびイメージ識別子を示す。

【0222】140) 入出力プロセッサは、サブチャネル番号とイメージ識別子を使って共用サブチャネル制御ブロックのアドレスを算出し、共用サブチャネル制御ブロックのあるフィールド中で示される割込みサブクラス用の割込み待ち行列の1番下に共用サブチャネル制御ブロックを置く。割込み待ち行列は、入出力サブシステムに入っている。これで、SSCH命令に対するIOP動作が終了する。割込み待ち行列はFIFO構造を使用する。割込み待ち行列中で割込みが保留中であることを示す割込み信号が、コンピュータ電子複合体内のすべての中央演算処理装置に送信される。

【0223】141) 入出力割込みが発生すると、入出力割込みに対して使用可能になっている第1の中央演算処理装置が、共用サブチャネル制御ブロックを割込み待ち行列から外し、OS-Jのシステム記憶域に割込み応答ブロック(IRB)を構築する。IRBは、サブチャネル番号を含むが、イメージ識別子は含まない。

【0224】チャネル経路リセット(RCHP)命令：本発明のもう1つの新規な特徴は、「チャネル経路リセット」命令である。本発明以前には、この命令は、指定されたチャネルのすべての制御機構と、指定されたチャネルと関連する論理経路を介して接続されたすべての制御装置および装置をリセットしていた。本発明では、この命令は、指定されたイメージ識別子を必要とし、当該イメージ識別子およびチャネル経路識別子で識別されるチャネル・イメージと関連する制御および論理経路だけをリセットする。

【0225】オペレーティング・システムが「チャネル回路リセット」命令を発行すると、GPR1中でターゲット・チャネル(CHPID)が指定される。この命令は、SIE命令を介して解釈実行されず、ハイパバイザによってインタセプトされる。ハイパバイザは、チャネル経路識別子の他に、GPR1のチャネル・イメージに割り当てられたイメージ識別子を提供してから、入出力サブシステムにRCHP命令を発行する。図20に、本発明によって提供されるGPR1のフォーマットを示す。IID値とCHPID値の組合せにより、チャネル・イメージがリセット機能のターゲットとして指定される。

【0226】入出力サブシステムは、指定されたチャネル・イメージの制御をリセットし、指定されたイメージ識別子を含むフレーム・ヘッダを構築することにより、指定されたチャネル・イメージと関連する確立済み論理

48

経路だけを対象とする装置レベルのシステム・リセット・コマンドを発行する。他のすべてのチャネル・イメージおよび他のすべての確立済み論理経路は、影響を受けない。さらに、入出力サブシステムは、指定されたチャネル・イメージと関連するサブチャネル・イメージ(SSCB)内の制御(ビジー標識および従属関係)だけをリセットする。他のチャネル・イメージと関連するサブチャネル・イメージ(SSCB)内の制御は影響を受けない。

【0227】チャネル・レポート：チャネルまたはサブチャネルに関する情報を報告するため、ある種のチャネル・レポートが提出される。チャネル・レポートは、1つまたは連鎖された複数のチャネル・レポート・ワード(CRW)から構成されている。本発明以前には、チャネルおよびサブチャネルが共用されていなかったため、これらのチャネル・レポートは単一のオペレーティング・システムに提出されていた。本発明では、サブチャネルおよびチャネルを共用するとき、単一のオペレーティング・システムまたは複数のオペレーティング・システムにこれらのチャネル・レポートを提出するための機構が提供される。チャネル・レポートが、チャネルまたはサブチャネルを共用するオペレーティング・システムの1つだけに適用される場合もある。また、チャネルまたはサブチャネルを共用するすべてのオペレーティング・システムにチャネル・レポートを提出しなければならない場合もある。

【0228】図21に、本発明によって提供されるチャネル・レポート・ワードのフォーマットを示す。

【0229】チャネル・レポートがすべてのオペレーティング・システムに適用されるときは、入出力サブシステムは、本発明より以前と同様にしてハイパバイザにレポートを提出する。チャネル・レポート・ワードのイメージ(I)ビットは0に設定される。本発明の新規の特徴として、ハイパバイザは、このレポートをチャネルまたはサブチャネルを共用するすべてのオペレーティング・システムに提出する。この種のレポートの例としては、チャネル・ハードウェアの永久的故障がある。

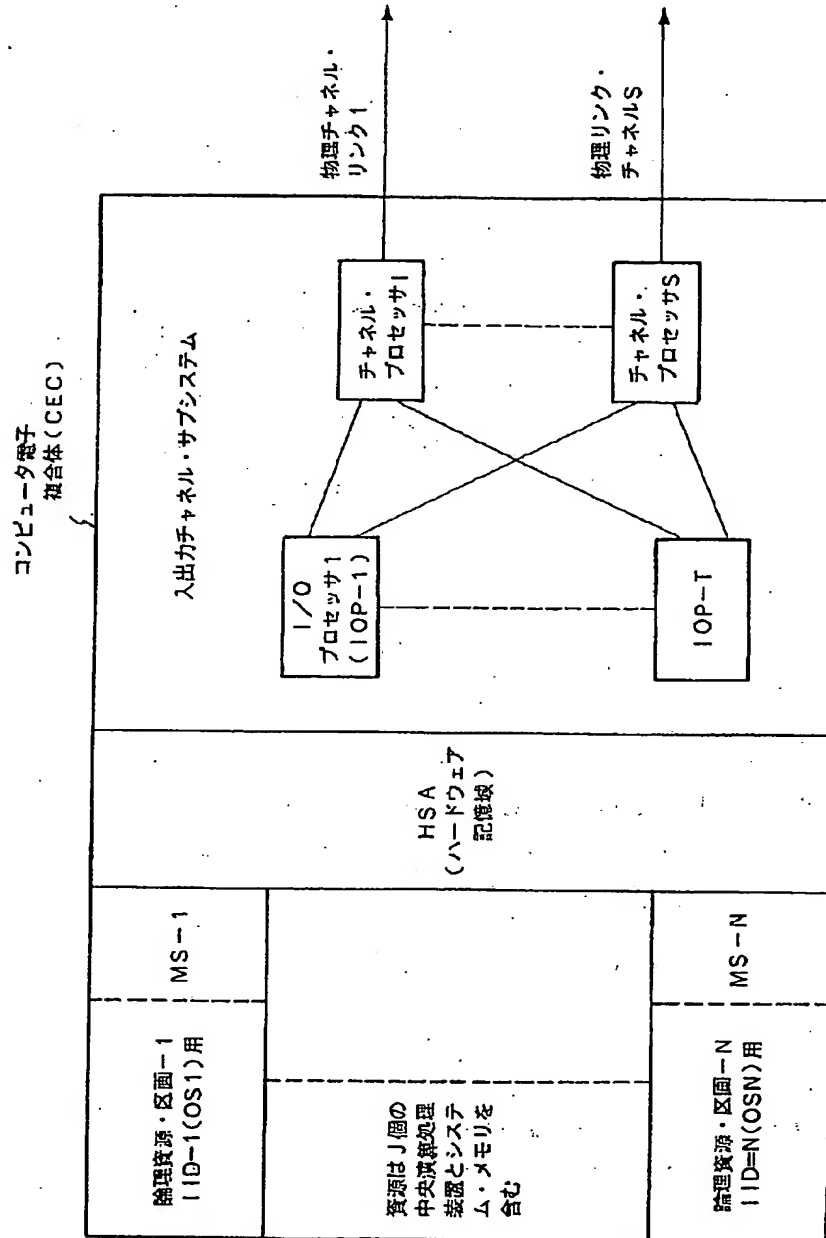
【0230】チャネル・レポートが1つのオペレーティング・システムだけに適用されるときは、本発明は、レポートとともに、レポートの対象であるイメージに割り当てられたイメージ識別子を渡す手段を提供する。イメージ(I)ビットは1に設定される。さらに、連鎖(C)ビットも1に設定され、報告元IDフィールドのIID値を提供する元のチャネル・レポート・ワードに別のチャネル・レポート・ワードが連鎖される。ハイパバイザは、このレポートを、イメージ識別子を含む連鎖されたチャネル・レポート・ワードなしに、かつIビットを1に設定せずに、イメージ識別子と関連するオペレーティング・システムだけに提供する。このレポートの例には、同一のオペレーティング・システムによって発

令の流れ図を示す図である。

【 図2 1 】 本発明で提供されるチャネル・レポート・ワードのフォーマットを示す図である。

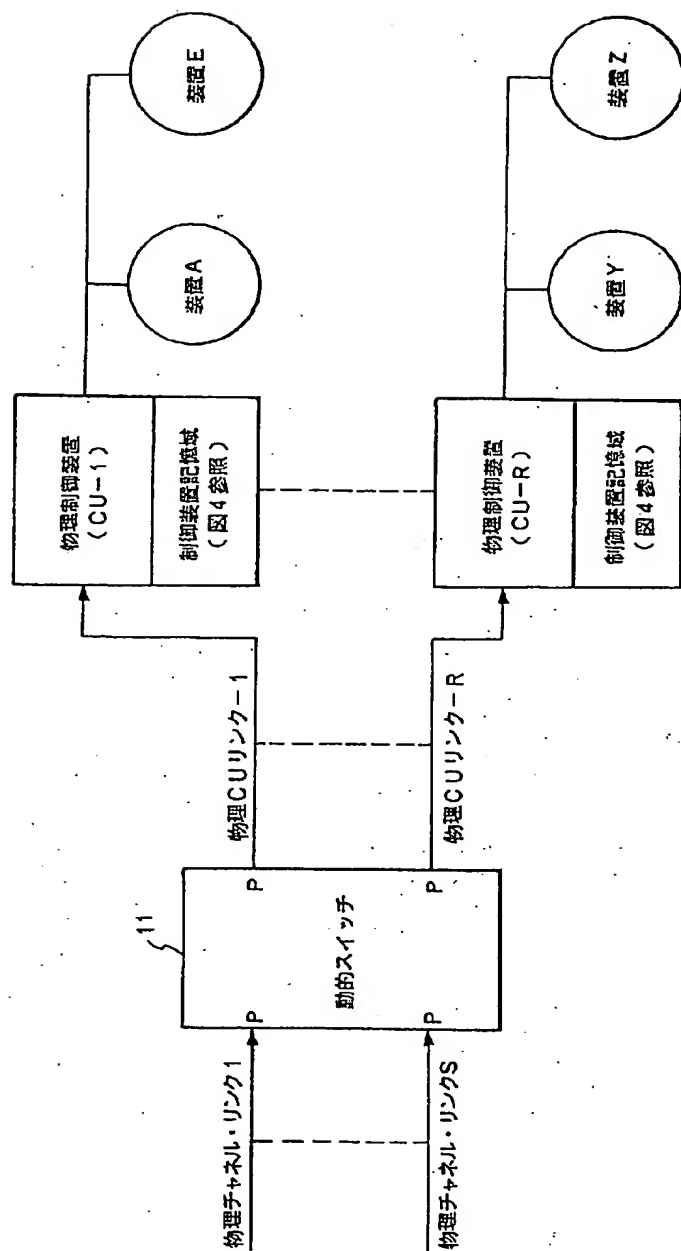
【 図2 0 】 本発明で提供されるGPR1 のフォーマットを示す図である。

【 図1 】

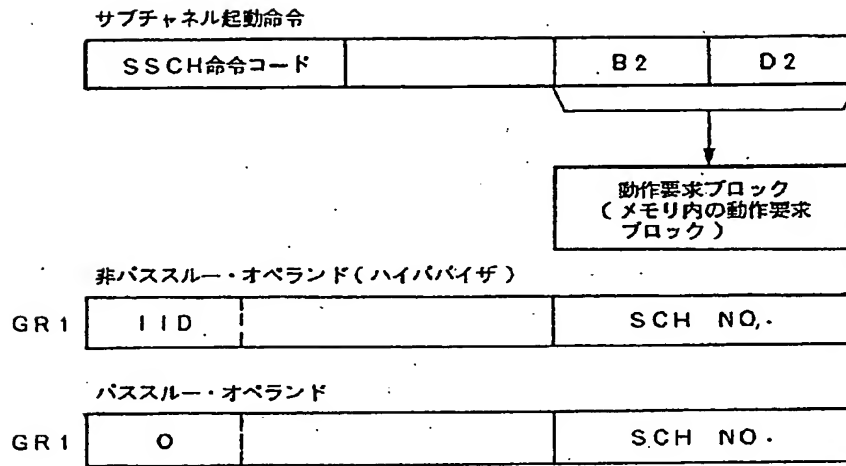




【 図3 】

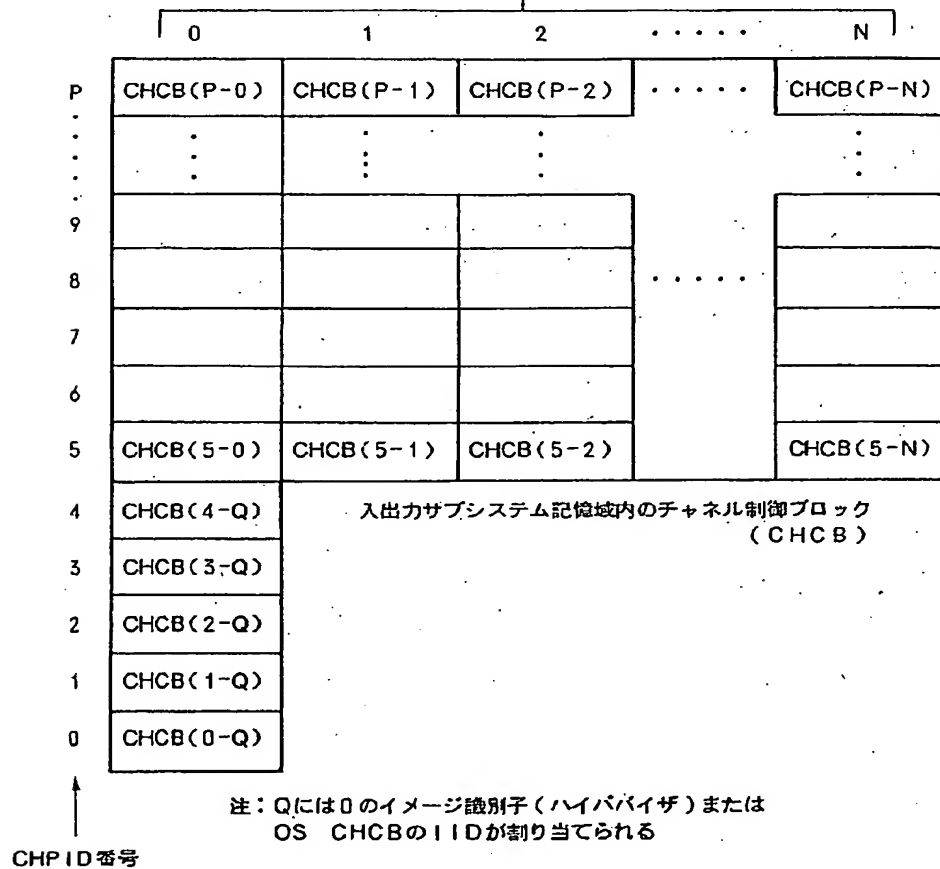


【 図7 】



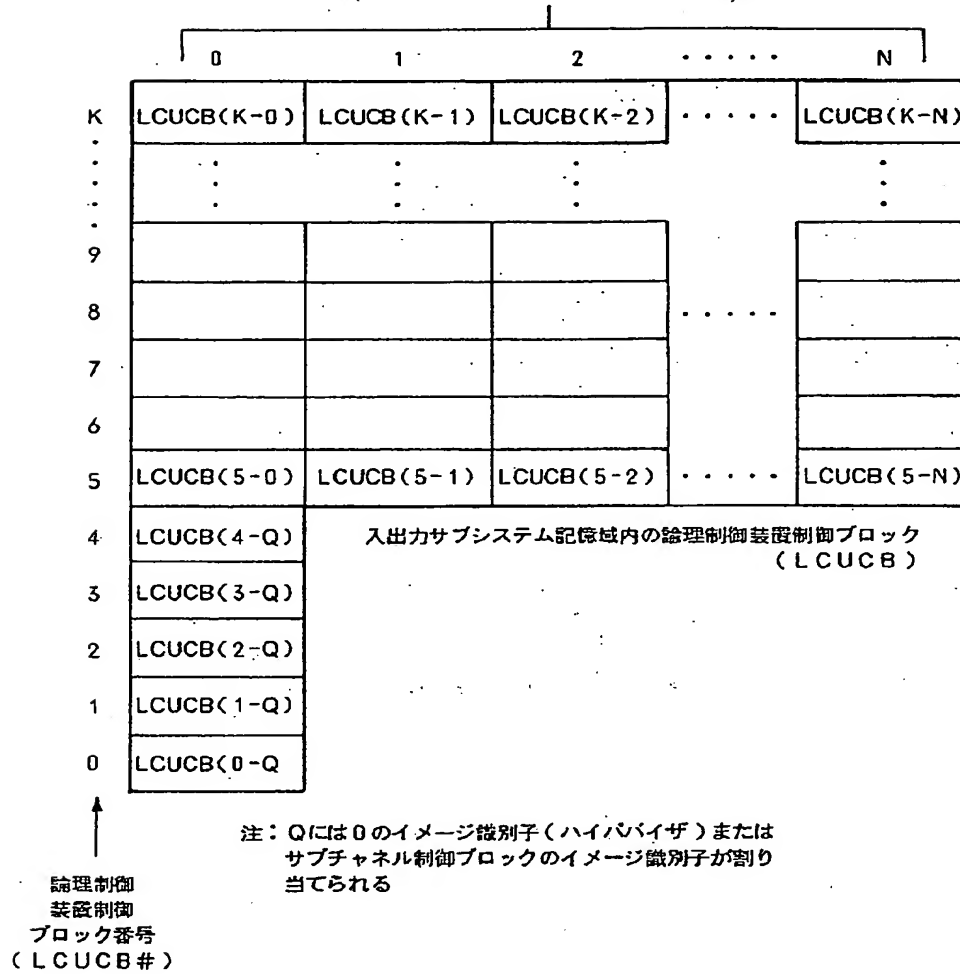
【 図8 】

( I I D ) オペレーティング・システム番号



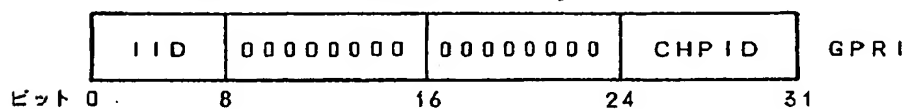
【 図1 3 】

( I I D ) オペレーティング・システム番号



【 図2 0 】

ハイババイザのRCHPを持つ汎用レジスタ1



【 図 1 5 】

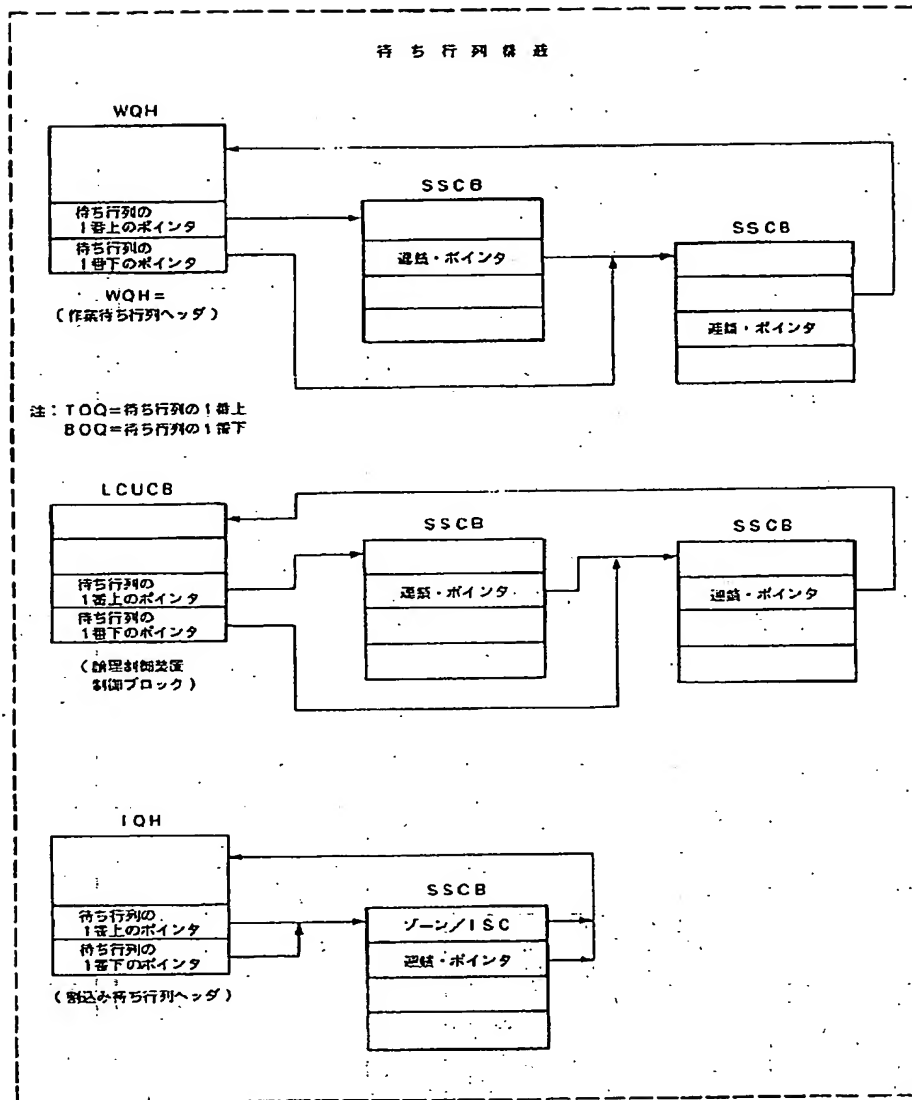
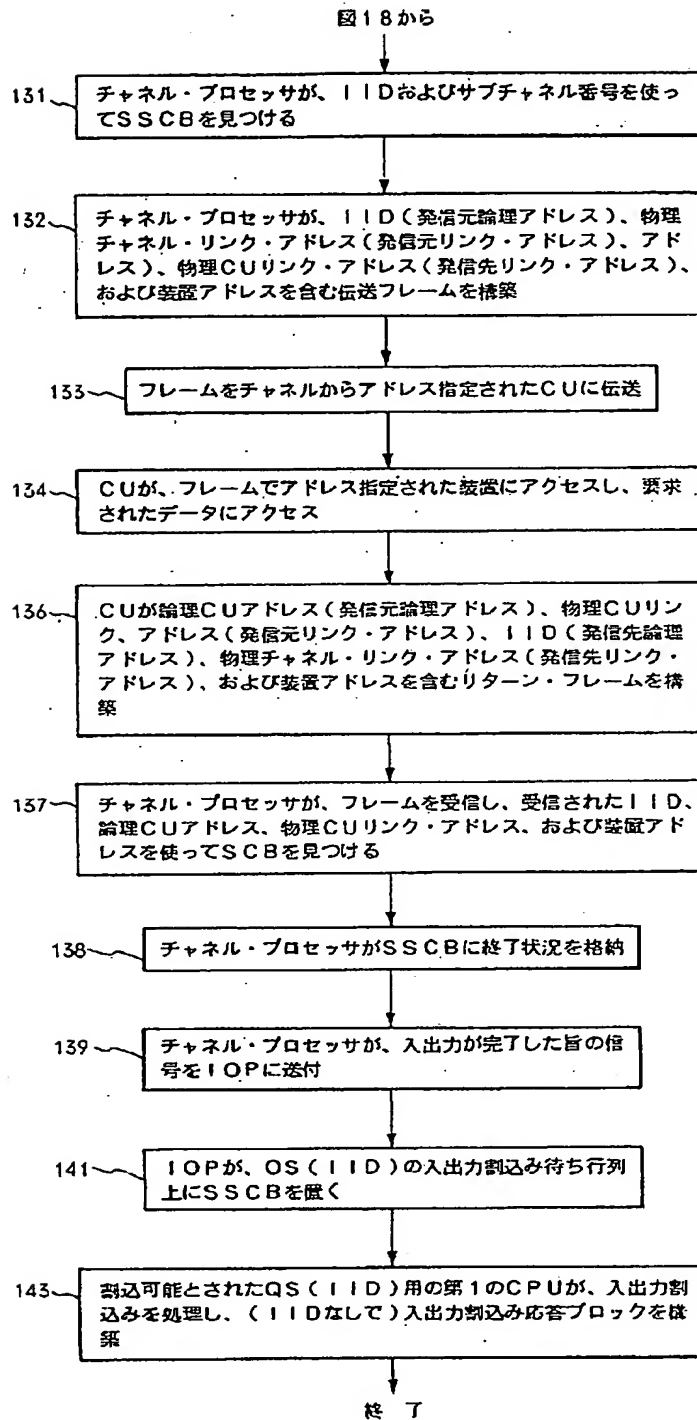
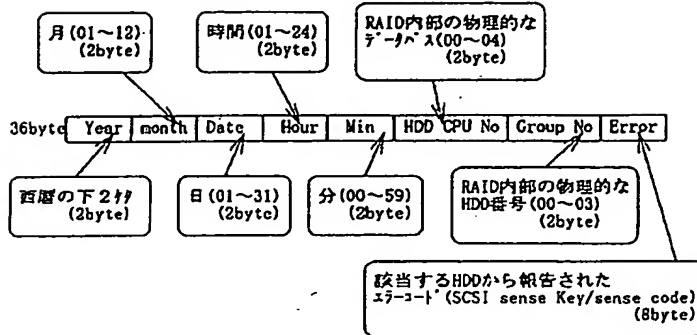


Figure 4 is a block diagram illustrating the system architecture. The diagram shows a central "動的スイッチ (オプション)" (Dynamic Switch (Optional)) block connected to a "物理制御装置ボックス 60" (Physical Control Device Box 60). This box is divided into two main sections: "論理制御装置 (論理制御装置アドレス=0)" (Logic Control Device (Logic Control Device Address=0)) and "論理制御装置 (論理制御装置アドレス=K)" (Logic Control Device (Logic Control Device Address=K)). Each section contains a "論理制御装置 60-OのCULPCB" (Logic Control Device 60-O's CULPCB) and a "論理制御装置 60-KのCULPCB" (Logic Control Device 60-K's CULPCB). The CULPCBs are further divided into "CULPCB-O(G)" and "CULPCB-K(H)" blocks. The diagram also shows a "SSCB" (System Status Control Block) block connected to the "物理制御装置ボックス 60" and the "論理制御装置" blocks. The SSCB is divided into three sections: "SSCB番号=Aと関連する入出力装置" (Input/Output Device Associated with SSCB Number=A), "SSCB番号=Eと関連する入出力装置" (Input/Output Device Associated with SSCB Number=E), and "SSCB番号=Yと関連する入出力装置" (Input/Output Device Associated with SSCB Number=Y). The diagram is labeled with various reference numerals: 63-O, 63-P, 62-, 61-O, 61-L, 60-O(G), 60-K(H), 60-O(O), 60-K(K), 60-O(I), 60-K(I), 71A, 71E, 71Y, 71Z.

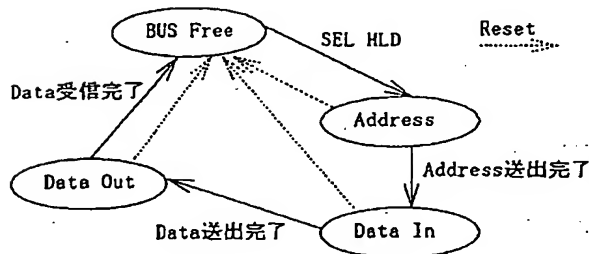
【 図1 9 】



【 図4 5 】



【 図4 6 】



【 図4 8 】

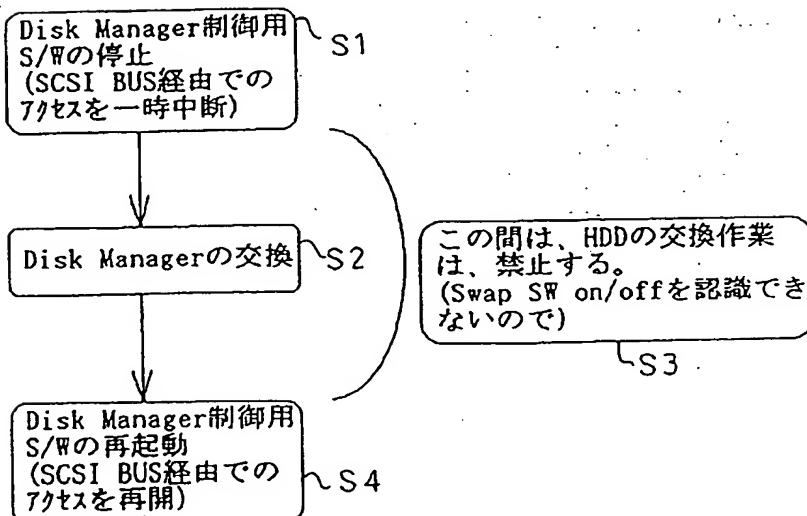
Bit	Read	Write
7		
6		
5		
4		
3		
2	SWAP SW	SWAP LED
1	FAN FAULT	FAULT LED
0		READY LED

【 図4 7 】

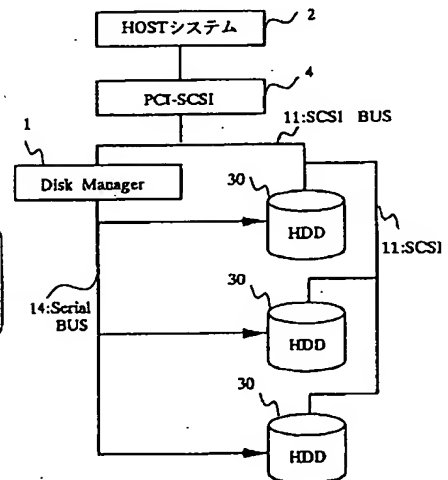
	Read Reg	Write Reg
bit9		
bit8		
bit7		
bit6	12V ALARM	
bit5	5V ALARM	
bit4	Swap SW ON	
bit3	Disk Model3	
bit2	Disk Model2	Swap LED ON
bit1	Disk Model1	Fault LED ON
bit0	Disk Model0	RUN LED ON

SWAP	FAULT	RUN	
OFF	OFF	ON	RUN状態 (正常動作中)
OFF	ON	OFF	FAULT状態 (異常検知)
ON	OFF	OFF	SWAP状態 (抜去可能、挿入済み)
OFF	ON	ON	ACTIVE状態 (診断回復処理中)

【 図4 9 】

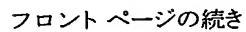
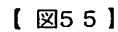


【 図5 4 】





【 図5 3 】



(72)発明者	山本 整	
	鎌倉市上町屋325番地	三菱電機株式会社
	情報システム製作所内	
(72)発明者	伊藤 一夫	
	鎌倉市上町屋325番地	三菱電機株式会社
	情報システム製作所内	
(72)発明者	馬場 宏	
	鎌倉市上町屋325番地	三菱電機株式会社
	情報システム製作所内	

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**